



# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

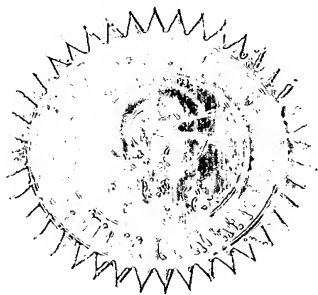
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0061889 *3110*  
Application Number

출원 년 월 일 : 2002년 10월 10일  
Date of Application OCT 10, 2002

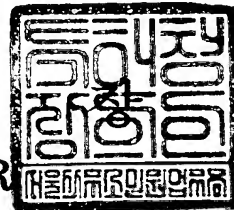
출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003    년    09    월    01    일

특    허    청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0001  
**【제출일자】** 2002.10.10  
**【발명의 명칭】** 플라즈마 디스플레이 패널의 보호막 및 그 제조방법  
**【발명의 영문명칭】** PROTECTING LAYER OF PLASMA DISPLAY PANEL AND METHOD OF FABRICATING THE SAME

## 【출원인】

**【명칭】** 엘지전자 주식회사  
**【출원인코드】** 1-2002-012840-3

## 【대리인】

**【성명】** 김영호  
**【대리인코드】** 9-1998-000083-1  
**【포괄위임등록번호】** 2002-026946-4

## 【발명자】

**【성명의 국문표기】** 박응철  
**【성명의 영문표기】** PARK, Eung Chul  
**【주민등록번호】** 700128-1058318  
**【우편번호】** 730-765  
**【주소】** 경상북도 구미시 비산동 강변보성아파트 103동 1501호

**【국적】** KR

**【심사청구】** 청구

**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)

## 【수수료】

<b>【기본출원료】</b>	20 면	29,000 원
<b>【가산출원료】</b>	1 면	1,000 원
<b>【우선권주장료】</b>	0 건	0 원
<b>【심사청구료】</b>	10 항	429,000 원
<b>【합계】</b>	459,000 원	

1020020061889

출력 일자: 2003/9/5

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 어드레스기간의 지터값을 줄이도록 한 플라즈마 디스플레이 패널의 보호막 및 그 제조방법에 관한 것이다.

본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 보호막 및 그 제조방법은 산화마그네슘(MgO)을 주성분으로 하고 실리콘(Si)이 500 ppm 이하 첨가된 보호막을 플라즈마 디스플레이 패널에 형성하게 된다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

플라즈마 디스플레이 패널의 보호막 및 그 제조방법{PROTECTING LAYER OF PLASMA DISPLAY PANEL AND METHOD OF FABRICATING THE SAME}

**【도면의 간단한 설명】**

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도이다.

도 2는 256 계조를 구현하기 위한 8 비트 디폴트 코드의 프레임 구성을 나타내는 도면이다.

도 3은 종래의 PDP를 구동하기 위한 구동 파형을 나타내는 파형도이다.

도 4는 종래의 PDP를 구동하기 위한 다른 구동 파형을 나타내는 파형도이다.

도 5는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 보호막에 있어서 실리콘(Si)의 함량에 따른 지터값의 변화를 나타내는 특성도이다.

도 6은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 보호막에 있어서 크세논(Xe)과 실리콘(Si)의 함량에 따른 지터값의 변화를 나타내는 특성도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 상부기관

2 : 하부기관

3 : 격벽

4,6 : 유전체층

5 : 형광체

7 : 보호막

X : 어드레스전극

Y : 스캔전극

Z : 서스테인전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<13> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 어드레스기간의 지터값을 줄이도록 한 플라즈마 디스플레이 패널의 보호막 및 그 제조방법에 관한 것이다.

<14> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 'PDP'라 한다)은 헬륨(He)+크세논(Xe), 네온(Ne)+크세논(Xe), 헬륨(He)+크세논(Xe)+네온(Ne) 등의 불활성 혼합가스가 방전할 때 발생하는 자외선을 이용하여 형광체를 여기 발광시킴으로써 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 화질이 향상되고 있다.

<15> 도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기관(1) 상에 형성되어진 스캔전극(Y) 및 서스테인전극(Z)을 포함한 서스테인전극쌍과, 서스테

인전극쌍과 직교되도록 하부기판(2) 상에 형성되어진 어드레스전극(X)을 구비한다.

<16> 스캔전극(Y)과 서스테인전극(Z) 각각은 투명전극과, 그 위에 형성된 금속버스터전극으로 이루어진다. 스캔전극(Y)과 서스테인전극(Z)이 형성된 상부기판(1)에는 상부 유전체층(6)과 MgO 보호막(7)이 적층된다. MgO 보호막(7)은 방전에 의해 발생된 입자들의 스퍼터링으로부터 유전체층(6)과 전극들(Y,Z)을 보호함과 아울러 이차 전자의 방출효율을 높이는 역할을 하게 된다.

<17> 어드레스전극(X)이 형성된 하부기판(2) 상에는 어드레스전극(X)을 덮도록 하부 유전체층(4)이 형성된다. 하부 유전체층(4) 위에는 수직으로 격벽(3)이 형성된다. 하부 유전체층(4)과 격벽(3)의 표면에는 형광체(5)가 형성된다.

<18> 상부기판(1)과 하부기판(2)은 도시하지 않은 실재(Sealant)에 의해 합착된다. 상부기판(1)과 하부기판(2) 및 격벽(3) 사이에 마련된 방전공간에는 He+Xe, Ne+Xe, He+Xe+Ne 등의 불활성 혼합가스가 주입된다.

<19> PDP는 화상의 계조를 구현하기 위하여, 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 시분할 구동하고 어드레싱과 표시가 분리되는 방식(Address and Display Separated : ADS)을 채택한다. 각 서브필드는 전화면을 초기화시키기 위한 리셋기간과, 주사라인을 선택하고 선택된 주사라인에서 셀을 선택하기 위한 어드레스기간과, 방전횟수에 따라 계조를 구현하는 서스테인기간으로 나뉘어진다. 리셋기간은 상승램프파형이 공급되는 셋업기간과 하강램프파형이 공급되는 셋다운 기간으로 다수 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 도 2와 같이 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개



의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 8 개의 서브 필드들(SF1 내지 SF8) 각각은 전술한 바와 같이, 초기화기간, 어드레스기간 및 서스테인기간으로 나누어지게 된다. 각 서브필드의 초기화기간과 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간과 그에 할당되는 서스테인펄스의 수는 각 서브 필드에서  $2^n$ ( $n=0,1,2,3,4,5,6,7$ )의 비율로 증가된다.

- <20>        도 3 및 도 4는 도 1에 도시된 PDP의 구동파형을 나타낸다.
- <21>        도 3을 참조하면, PDP는 리셋기간, 어드레스 기간 및 서스테인기간으로 나누어 구동된다.
- <22>        리셋기간에는 모든 스캔전극들(Y)에 상승 램프파형(Ramp-up)이 동시에 인가된다. 이 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에는 방전이 일어난다. 이 셋업방전에 의해 어드레스전극(X)과 서스테인전극(Z) 상에는 정극성 벽전하가 쌓이게 되며, 스캔전극(Y) 상에는 부극성의 벽전하가 쌓이게 된다. 셋업방전에 이어서, 상승 램프파형(Ramp-up)의 피크전압보다 낮은 정극성 전압에서 떨어지는 하강 램프파형(Ramp-down)이 스캔전극들(Y)에 동시에 인가된다. 하강 램프파형(Ramp-down)은 셀들 내에 미약한 소거방전을 일으킴으로써 과도하게 형성된 벽전하를 일부 소거시키게 된다. 이 셋다운방전에 의해 어드레스 방전이 안정되게 일어날 수 있을 정도의 벽전하가 셀들 내에 균일하게 잔류된다.
- <23>        어드레스기간에는 부극성 스캔펄스(scan)가 스캔전극들(Y)에 순차적으로 인가됨과 동시에 스캔펄스(scan)에 동기되어 어드레스전극들(X)에 정극성의 데이터펄스(data)가 인가된다. 이 스캔펄스(scan)와 데이터펄스(data)의 전압차와 초기화기간에 생성된 벽전압이 더해지면서 데이터펄스(data)가 인가되는 셀 내에는

어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 서스테인 전압이 인가될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다.

<24> 서스테인전극(Z)에는 셋다운기간과 어드레스기간 동안에 정극성 직류전압( $Z_{dc}$ )이 공급된다. 이 직류전압( $Z_{dc}$ )은 셋다운기간에 서스테인전극(Z)과 스캔전극(Y) 사이에 셋다운방전이 일어나게 함과 아울러 어드레스기간에 스캔전극(Y)과 서스테인전극(Z) 사이에 방전이 크게 일어나지 않도록 서스테인전극(Z)과 스캔전극(Y) 사이 또는 서스테인전극(Z)과 어드레스전극(X) 사이의 전압차를 설정하게 된다.

<25> 서스테인기간에는 스캔전극들(Y)과 서스테인전극들(Z)에 교번적으로 서스테인펄스(sus)가 인가된다. 어드레스방전에 의해 선택된 셀은 셀 내의 벽전압과 서스테인펄스(sus)가 더해지면서 매 서스테인펄스(sus)가 인가될 때 마다 스캔전극(Y)과 서스테인전극(Z) 사이에 서스테인방전 즉, 표시방전이 일어나게 된다.

<26> 서스테인방전이 완료된 후에는 셀 내의 전하를 소거하기 위한 소거신호로써 펄스폭이 작은 구형파( $ers1, ers2$ )와 전압레벨이 작은 램프파형( $ers3$ )이 서스테인전극(Z)에 공급된다. 이러한 소거신호들( $ers1, ers2, ers3$ )이 셀 내에 공급되면 소거방전이 일어나면서 서스테인방전에 의해 생성되고 잔류하는 벽전하가 소거된다.

<27> 도 4에 도시된 구동파형은 도 3에 도시된 구동파형에 비하여 리셋기간에 공급되는 초기화파형이 스캔전극(Y)과 서스테인전극(Z)에 교번적으로 공급되는 구형파( $rst1, rst2, rst3$ )와 상승 램프파형(Ramp-up)으로 달라지게 된다. 그리고 어

드레스기간과 서스테인기간 동안 각 전극들(X,Y,Z)에 공급되는 신호들은 도 3에 도시된 그것들과 실질적으로 동일하다.

<28> 이러한 PDP에 있어서, 고품위의 화질을 구현하기 위해서는 고정세, 고휘도, 고명암비(High contrast ratio), 낮은 콘터노이즈(Contour noise) 등이 요구되고 있다. 또한 PDP에서 고품위의 화질을 구현하기 위해서는 ADS 구동방식에 있어서 적절한 어드레스기간이 확보되어야 한다. PDP가 고정세/고해상도로 발전할수록 스캔할 라인들의 수가 증가하기 때문에 어드레스기간이 길어지게 되고 서스테인기간의 확보가 어렵게 된다. 예를 들어, 480 개의 스캔라인이 존재하고 각 라인당  $3\mu s$ 의 스캔시간이 필요하고 첫 스캔라인부터 마지막 스캔라인까지 한 번에 순차적으로 스캔하는 싱글스캔(single scan) 방식을 채택하고 한 프레임을 8 개의 서브필드로 나누어 구동하는 경우에 한 프레임 내에서 필요한 어드레스 기간은  $480 \times 3\mu s \times 8 = 13ms$  이상이 소요된다. 따라서, 한 프레임 내에서 서스테인기간에 할당될 수 있는 시간은  $16.67ms - 13ms$ 로 절대적으로 부족하게 된다. 이와 같이 부족한 서스테인 기간을 더 많이 할당하기 위하여 스캔시간을 줄여야 하지만 어드레스방전시 지터(jitter)를 고려하여 스캔펄스의 폭을 길게 하기 때문에 어드레스 기간을 줄이기가 어렵다. 지터는 어드레스방전시 발생하는 방전지연시간으로써 매 서브필드마다 다소 차이가 있으며 구동시 일정한 범위를 가지게 된다. 스캔펄스에는 이러한 지터값이 포함되므로 그 펄스폭이 길어지게 된다. 따라서, 지터값이 클수록 어드레스기간이 길어지게 되므로 고품위의 화질 구현이 곤란하게 된다.

<29> 지터값은 PDP의 온도나 주위온도가 낮을수록 증가하는 경향이 있다. 이 때문에 PDP는 저온에서 어드레스방전이 불안정하게 이루어지므로 셀 선택이 안되는 즉, 미스라이팅(miss writing)이 발생하여 표시화상에서 흑점(Black noise)이 나타나게 되므로 환경 대응력이 떨어지게 된다.

<30> 한편, 일본 특허공개공보 특개평(特開平) 제2001-135238호는 PDP 내에 봉입된 방전가스에서 크세논(Xe)의 함량을 5% 이상으로 높임으로써 종래의 저밀도 Xe 패널에 비하여 구동전압이 높지만 휘도를 더 높일 수 있는 PDP를 제안한 바 있다. 그런데 고밀도 Xe 패널은 Xe의 함량이 증가할수록 어드레스기간의 지터값이 증가하게 된다. 따라서, 어드레스기간의 지터값으로 인하여 고밀도 Xe 패널의 구현이 어려운 실정이다.

<31> 어드레스기간의 지터값에 가장 큰 영향을 미치는 인자로서는 보호막(7)의 2차전자방출특성이다. 보호막(7)의 이차전자방출효율이 높으면 높을수록 지터가 감소되고 감소된 지터만큼 스캔필스의 펄스폭이 줄어들게 되므로 어드레스기간이 단축될 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

<32> 따라서, 본 발명의 목적은 어드레스기간의 지터값을 줄이도록 한 PDP의 보호막 및 그 제조방법을 제공함에 있다.

**【발명의 구성 및 작용】**

- <33>       상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 PDP의 보호막은 산화마그네슘(MgO)을 주성분으로 하고 실리콘(Si)이 500 ppm 이하 첨가된다.
- <34>       본 발명의 실시예에 따른 PDP의 보호막은 실리콘(Si)이 대략 20ppm~300ppm 정도의 함량으로 첨가된다.
- <35>       본 발명의 실시예에 따른 PDP의 보호막에는 50ppm 이하의 칼슘(Ca), 50ppm 이하의 철(Fe), 250ppm 이하의 알루미늄(Al), 5ppm 이하의 니켈(Ni), 5ppm 이하의 나트륨(Na), 5ppm 이하의 칼륨(K)이 더 첨가된다.
- <36>       본 발명의 실시예에 따른 PDP에는 5% 이상의 크세논(Xe)을 포함하는 방전가스가 봉입되는 것을 특징으로 한다.
- <37>       본 발명의 실시예에 따른 PDP의 보호막 제조방법은 산화마그네슘(MgO)을 주성분으로 하고 실리콘(Si)이 500 ppm 이하 첨가된 보호막을 형성하는 단계를 포함한다.
- <38>       본 발명의 실시예에 따른 PDP의 보호막 제조방법은 보호막을 진공증착 공정을 이용하여 PDP에 형성하게 된다.
- <39>       본 발명의 실시예에 따른 PDP의 보호막 제조방법은 보호막을 화학적기상증착(CVD), 이-빔(E-beam), 이온-플레이팅(Ion-plating), 스퍼터링(Sputtering) 중 어느 하나의 공정을 이용하여 PDP에 형성하게 된다.
- <40>       본 발명의 실시예에 따른 PDP의 보호막 제조방법은 보호막에 대략 20ppm~300ppm 정도의 함량으로 실리콘(Si)을 첨가하게 된다.

- <41> 본 발명의 실시예에 따른 PDP의 보호막 제조방법은 보호막에 50ppm 이하의 칼슘(Ca), 50ppm 이하의 철(Fe), 250ppm 이하의 알루미늄(Al), 5ppm 이하의 니켈(Ni), 5ppm 이하의 나트륨(Na), 5ppm 이하의 칼륨(K)을 더 첨가하게 된다.
- <42> 본 발명의 실시예에 따른 PDP의 보호막 제조방법은 PDP에 5% 이상의 크세논(Xe)을 포함하는 방전가스를 봉입하는 단계를 더 포함한다.
- <43> 이하, 도 5 및 도 6을 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.
- <44> 도 5를 참조하면, 본 발명의 실시예에 따른 PDP의 보호막은 산화마그네슘(MgO)을 주성분으로 하며 지터(jitter)가 최소화되는 범위 내로 설정되는 농도로써 실리콘(Si)을 미량 포함한다. 도 5에 있어서, 수직축은 어드레스기간의 지터  $\mu s$ 이며, 수평축은 실리콘(Si)의 함유량 wt.ppm을 나타낸다.
- <45> 본 발명에 따른 보호막은 화학적기상증착(CVD), 이-빔(E-beam), 이온-플레이팅(Ion-plating), 스퍼터링(Sputtering) 등의 진공증착법으로 PDP의 상판에 형성된다.
- <46> 진공증착법을 이용하여 본 발명에 따른 보호막을 형성할 때 실리콘(Si)을 미량 첨가하는 방법은 여러 가지가 있을 수 있다. 진공증착에 사용되는 원재료(Source material, target 등 : 이하 '소스물질'이라 한다)에 실리콘(Si)을 미량 첨가하여, 단일 소스(Source)로 보호막을 증착할 수도 있으며, 기존의 산화마그네슘(MgO)과 실리콘(Si)을 함께 동시에 소스(Source)로 사용하여 보호막에 실리콘(Si)을 첨가할 수도 있다. 이 때, 실리콘(Si)의 함량은 실리콘 소스(Si

source)에 인가되는 파워(power)를 조정하여 조절할 수 있다. 여기서, 소스물질은 산화마그네슘(MgO)이 99.5wt% 이상인 해수나 마그네슘 원석을 정제하여 제작하며, 이 때 300ppm 이하의 칼슘(Ca), 50ppm 이하의 철(Fe), 250ppm 이하의 알루미늄(Al), 5ppm 이하의 니켈(Ni), 5ppm 이하의 나트륨(Na), 5ppm 이하의 칼륨(K)이 불순물로서 포함될 수 있고, 아래의 표 1과 같이 5000ppm 이하의 실리콘(Si)이 첨가된다. 다시 말하여, 소스물질에는 아래의 표 1과 같이 보호막의 이차전자방출특성을 개선하기 위한 실리콘(Si)이 미량 포함된다.

&lt;47&gt; 【표 1】

MgO	99.5wt%~99.99999wt%
Si	5000 ppm 이하

<48> 이러한 보호막 증착방법을 이용하여 서스테인전극쌍(Y,Z)과 유전체층이 형성된 PDP의 상부기판 상에 MgO 보호막을 증착한다. 이러한 증착공정에 의해 PDP의 상부기판 상에 형성되고 실리콘(Si)이 미량 첨가된 보호막은 아래의 표 2와 같이 100 wt%에 가까운 산화마그네슘(MgO)과 보호막의 이차전자방출특성을 개선하기 위한 실리콘(Si)이 500 ppm 이하로 미량 포함된다.

&lt;49&gt; 【표 2】

MgO	99.5wt%~99.99999wt%
Si	500 ppm 이하

<50> 또한, PDP 상에 형성된 보호막에는 50ppm 이하의 칼슘(Ca), 50ppm 이하의 철(Fe), 250ppm 이하의 알루미늄(Al), 5ppm 이하의 니켈(Ni), 5ppm 이하의 나트륨(Na), 5ppm 이하의 칼륨(K)이 포함될 수 있다.

<51> 표 1 및 표 2에 있어서, 소스물질과 실제로 PDP 상에 형성된 보호막에 있어서 실리콘(Si)의 함량이 줄어든 것은 증착공정시 공정변수를 조절하는 것에 기인한다. 예컨대, 증착장비 내의 압력을 높이거나 PDP의 기판과 소스물질 사이의 거리를 증가시키게 되면 소스물질 내의 실리콘 함량보다 PDP의 기판 상에 형성된 보호막의 실리콘 함량이 줄어들게 된다.

<52> 실리콘(Si)은 산화마그네슘(MgO)에 미량 첨가됨으로써 산화마그네슘(MgO)의 결정에서 산소(O)가 빈(Oxygen vacancy) 결함과 불순물에 의해 떨어지는 보호막의 이차전자방출효율을 보상하는 역할을 한다. 다시 말하여, 진공증착에 의해 보호막이 형성되는 경우에 공정 중 필연적으로 수반되는 결정결함들과 소스물질로부터 유입되는 불순물 즉, 칼슘(Ca), 철(Fe), 알루미늄(Al), 니켈(Ni), 나트륨(Na), 칼륨(K) 등이 전자방출특성을 열화시키는 요인으로 작용하게 된다. 실리콘(Si)은 결정결함들과 불순물로 인하여 열화되는 이차전자방출특성을 상쇄함으로써 어드레스기간의 지터값을 줄이게 된다.

<53> 이 실리콘(Si)이 첨가됨으로써 도 5에서 알 수 있는 바 어드레스기간의 지터값이 줄어들게 되며 실리콘(Si)의 함유량이 일정값 이상으로 커지게 되면 오히려 지터가 증가하는 경향이 있다. 따라서, 실리콘(Si)은 지터가 최소화되는 범위 내의 함량으로 보호막에 첨가됨이 바람직하다. 이를 위하여, 실리콘(Si)은 다른 불순물의 함량과 증착조건 등에 의해 변할 수 있으나 최적 함량으로써 보호막 내에 20ppm~300ppm 정도의 함량으로 첨가된다.



- <54> 도 5에 도시된 지터특성은 PDP에 구동파형을 인가하고 하나의 셀 내에서 어드레싱시 발생하는 광파형을 측정하여 구해졌다. 이 실험에서 사용된 측정 패턴은 프라이밍 효과를 최소화하기 위하여 저계조의 라인패턴이 이용되었다.
- <55> PDP 내에 봉입되는 방전가스의 종류를 바꾸면서 각각 수십회 실험을 한 결과에 의하면, 실리콘(Si)이 첨가된 보호막은 방전가스의 종류에 관계없이 이차전자방출특성이 향상되었다.
- <56> 도 6은 5% 이상의 크세논(Xe)을 포함하는 고밀도 Xe 방전가스가 봉입된 PDP에서 실리콘(Si)이 첨가된 보호막에 대한 지터특성의 실험결과를 나타낸다.
- <57> 도 6에서 알 수 있는 바 고밀도의 Xe 방전가스가 봉입된 PDP의 보호막이 표 2와 같이 산화마그네슘(MgO)을 주성분으로 하고 실리콘(Si)이 300ppm 이하로 첨가되면 어드레스기간의 지터가 대략  $0.6\mu s$  이내로써 매우 작은 수준으로 나타났다.
- <58> 따라서, 본 발명에 따른 보호막을 고밀도 Xe 패널에 적용하면 고휘도와 고속구동이 가능하게 됨은 물론이거니와 고해상도 실현이 가능하고 외부 온도 대응력을 높일 수 있게 된다.

#### 【발명의 효과】

- <59> 상술한 바와 같이, 본 발명에 따른 PDP의 보호막 및 그 제조방법은 보호막에 실리콘을 첨가하여 보호막의 이차전자방출특성을 향상시킴으로써 어드레스기간의 지터를 줄이게 된다. 그 결과 본 발명에 따른 PDP의 보호막 및 그 제조방

법에 의하면, PDP에 있어서 어드레스방전이 짧은 시간에 안정되게 일어나므로 저온환경에서도 어드레스 동작이 안정되고 효율이 높아진다. 나아가, 본 발명에 따른 PDP의 보호막 및 그 제조방법에 의하면 어드레스기간이 줄어드는 만큼 서스테인기간이 충분히 확보되고 콘터노이즈를 줄이기 위하여 서브필드의 수가 증가될 수 있으므로 PDP에서 고품위의 화질이 구현될 수 있다.

<60>        이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

산화마그네슘(MgO)을 주성분으로 하고 실리콘(Si)이 500 ppm 이하 첨가된 것을 특징으로 하는 플라즈마 디스플레이 패널의 보호막.

**【청구항 2】**

제 1 항에 있어서,

상기 실리콘(Si)이 대략 20ppm~300ppm 정도의 함량으로 첨가되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 보호막.

**【청구항 3】**

제 1 항에 있어서,

50ppm 이하의 칼슘(Ca), 50ppm 이하의 철(Fe), 250ppm 이하의 알루미늄(Al), 5ppm 이하의 니켈(Ni), 5ppm 이하의 나트륨(Na), 5ppm 이하의 칼륨(K)이 더 첨가되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 보호막.

**【청구항 4】**

제 1 항에 있어서,

상기 플라즈마 디스플레이 패널에는 5% 이상의 크세논(Xe)을 포함하는 방전 가스가 봉입되는 것을 플라즈마 디스플레이 패널의 보호막.

**【청구항 5】**

산화마그네슘(MgO)을 주성분으로 하고 실리콘(Si)이 500 ppm 이하 첨가된 보호막을 형성하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 보호막 제조방법.

**【청구항 6】**

제 5 항에 있어서,

상기 보호막은 진공증착 공정에 의해 상기 플라즈마 디스플레이 패널에 형성되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 보호막 제조방법.

**【청구항 7】**

제 5 항에 있어서,

상기 보호막은 화학적기상증착(CVD), 이-빔(E-beam), 이온-플레이팅(Ion-plating), 스퍼터링(Sputtering) 중 어느 하나의 공정에 의해 상기 플라즈마 디스플레이 패널에 형성되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 보호막 제조방법.

**【청구항 8】**

제 5 항에 있어서,

상기 보호막에는 대략 20ppm~300ppm 정도의 함량으로 상기 실리콘(Si)이 첨가되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 보호막 제조방법.

**【청구항 9】**

제 5 항에 있어서,

상기 보호막에는 50ppm 이하의 칼슘(Ca), 50ppm 이하의 철(Fe), 250ppm 이하의 알루미늄(Al), 5ppm 이하의 니켈(Ni), 5ppm 이하의 나트륨(Na), 5ppm 이하의 칼륨(K)이 더 첨가되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 보호막 제조방법.

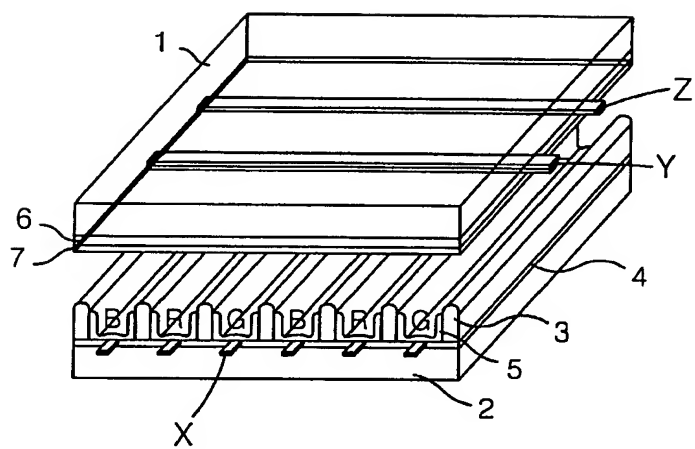
**【청구항 10】**

제 5 항에 있어서,

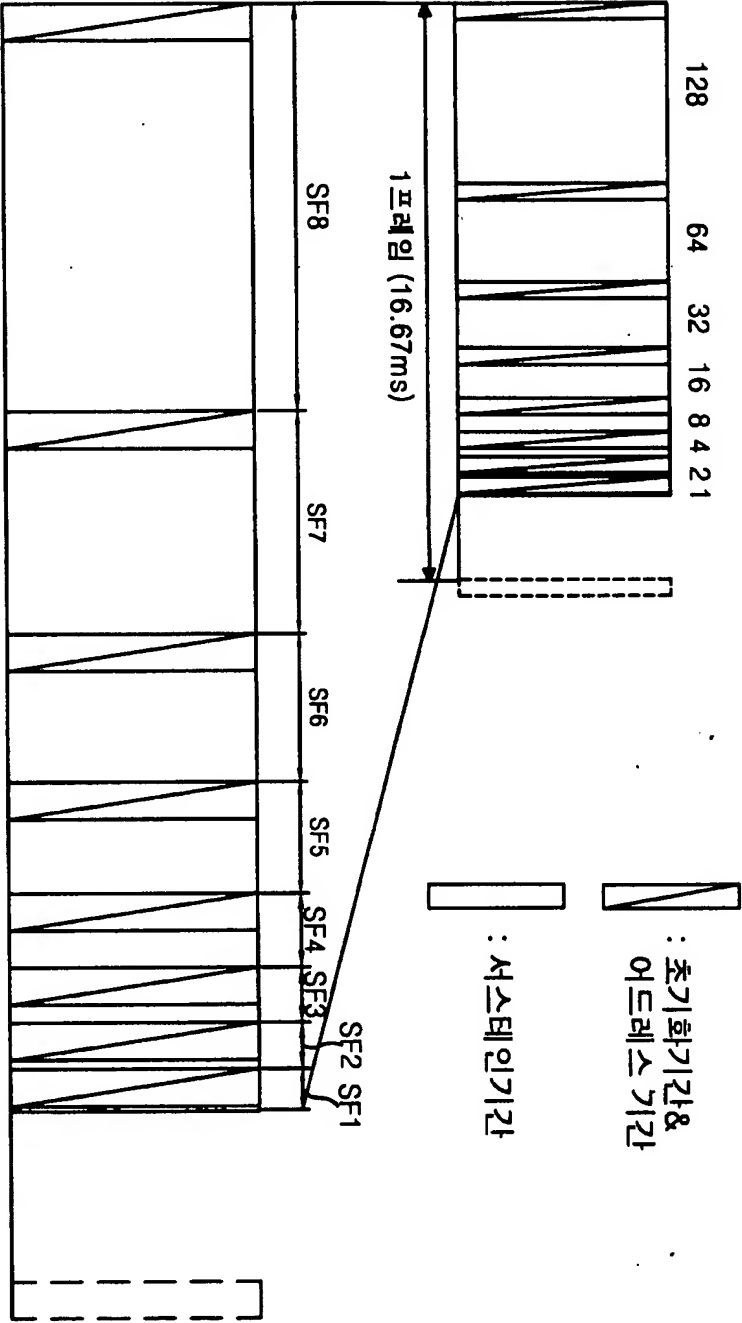
상기 플라즈마 디스플레이 패널에 5% 이상의 크세논(Xe)을 포함하는 방전가스를 봉입하는 단계를 더 포함하는 것을 플라즈마 디스플레이 패널의 보호막.

【도면】

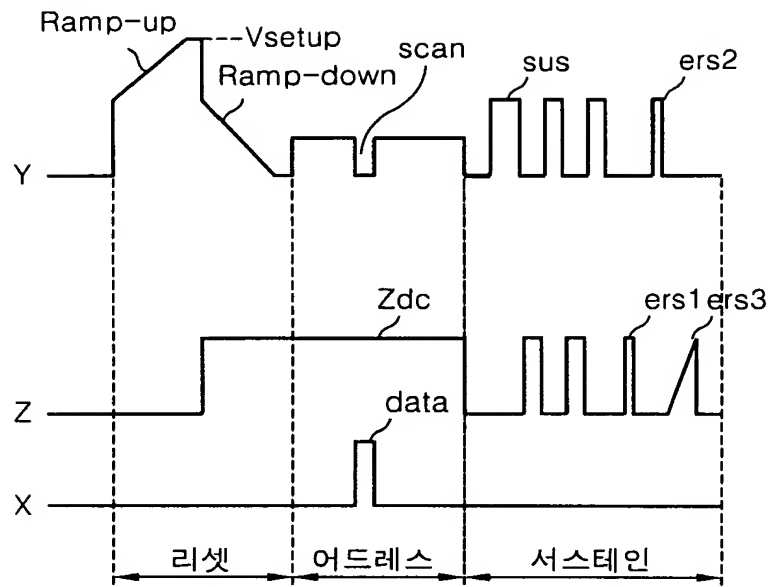
【도 1】



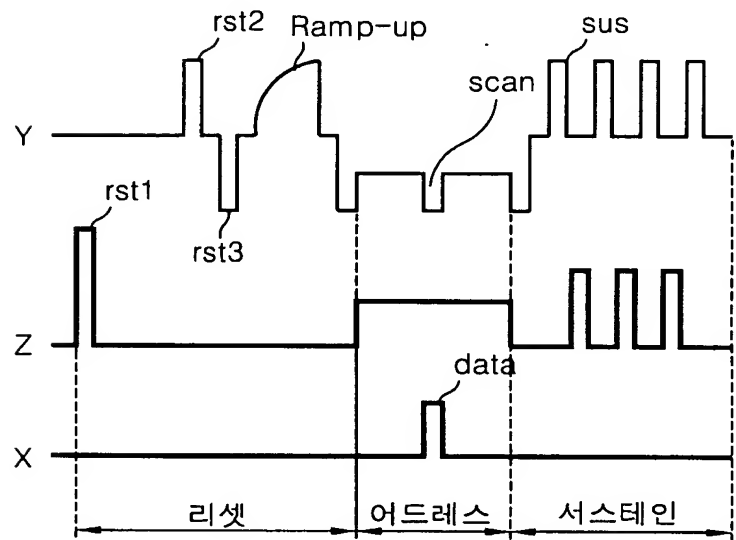
【도 2】



【도 3】

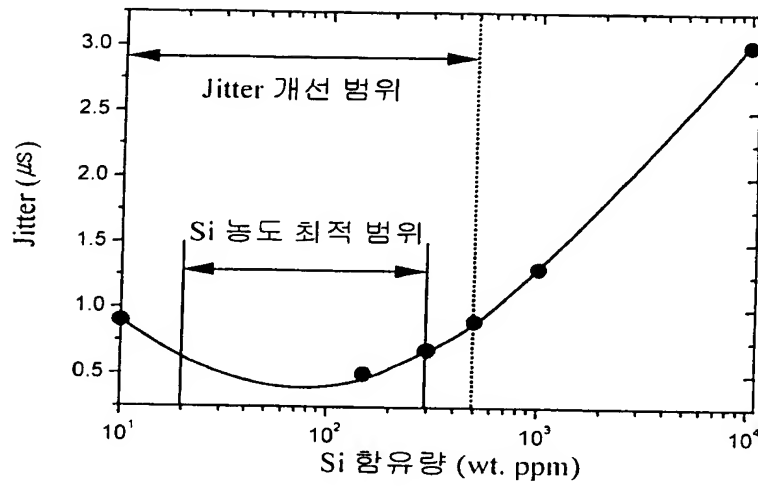


【도 4】





【도 5】



【도 6】

